

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 60007178  
PUBLICATION DATE : 14-01-85

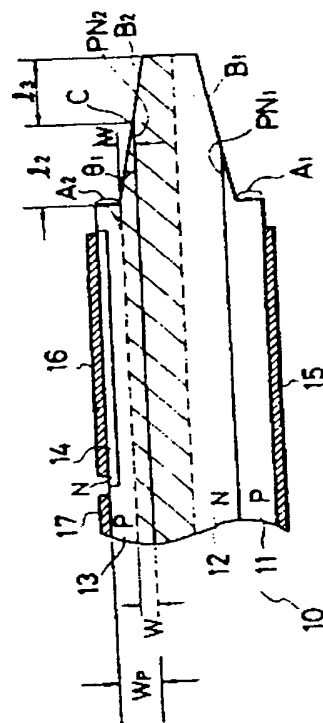
APPLICATION DATE : 27-06-83  
APPLICATION NUMBER : 58115405

APPLICANT : TOSHIBA CORP;

INVENTOR : IGARASHI YUKIO;

INT.CL. : H01L 29/74 H01L 29/747

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To improve the element withstand voltage of a pellet, by forming a bevel surface on the side of the high concentration layer of a P-N junction to the width corresponding to the width of a depletion layer on the side of the high concentration layer, and forming a vertical side surface part at the side surface of a part exceeding said width.

CONSTITUTION: On the side surface of a pellet of a P-base layer 13 on the side of high concentration impurity layer, a negative bevel surface is formed at a small bevel angle  $\theta_1$  to a part, to which a width W of a depletion layer that expands to the central part of the pellet 10 is extended. On the side surface of a part exceeding the width W, a side surface part A2, which is approximately vertical to the pellet, is formed. When a horizontal distance  $l_2$  of the bevel surface formed on the layer 13 is more than  $W/\tan \theta_1$ , a blocking voltage is approximately saturated. The smaller the bevel angle  $\theta_1$ , the higher the saturation voltage. when the bevel angle is less than  $1.5^\circ$ , the saturation voltage is not largely changed.

COPYRIGHT: (C)1985,JPO&Japio

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭60—7178

⑬ Int. Cl.<sup>4</sup>  
H 01 L 29/74  
29/747

識別記号

庁内整理番号  
6466—5F  
6466—5F

⑭ 公開 昭和60年(1985)1月14日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ 半導体装置

京芝浦電気株式会社多摩川工場  
内

⑯ 特 願 昭58—115405  
⑰ 出 願 昭58(1983)6月27日  
⑱ 発 明 者 五十嵐行雄  
川崎市幸区小向東芝町1番地東

⑲ 出 願 人 株式会社東芝  
川崎市幸区堀川町72番地  
⑳ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

一方導電型の高濃度層とこの高濃度層とPN接合面を形成する他方導電型の低濃度層とが積層して形成され、上記PN接合面のペレットの側面に露出したPN接合部に負ベベルの形成された半導体装置において、上記高濃度層のPN接合面側のペレット側面にはペレットの中心部の該PN接合面の高濃度層に広がる空乏層幅に少なくとも相当する幅で負ベベル面が形成され、この負ベベル面を超える上記高濃度層の側面にはペレットに対し上記負ベベルよりも垂直に近い乃至垂直な側面部を有していることを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明はサイリスタ、トライアック等の複数のPN接合を有する半導体装置に関するもので

ある。

〔発明の技術的背景〕

高耐圧用のサイリスタ、トランジスタなどでは、PN接合の露出している表面での電界集中によって耐圧が決定される場合が多い。そこで、この表面での耐圧を持たせるために接合表面での形状を傾斜させたベベル構造がしばしば採用される。

第1図はこのようなベベル構造を有するサイリスタの一例を示す断面図で、図において、半導体ペレット10は下層から順にPエミッタ層11、Nベース層12、Pベース層13、Nエミッタ層14がそれぞれ形成され、半導体ペレット10の表面にはアノード電極15、半導体ペレット10の表面のNエミッタ層14上にはカソード電極16、半導体ペレット10表面のPベース層13の露出した部分にはゲート電極17がそれぞれ形成されている。また、ペレット10の側面に露出したPエミッタ層11およびNベース層12によるPN接合面PN1と、Nベ-

ス層12およびPベース層13によるPN接合面PN<sub>2</sub>とを中心それぞれPN接合面に対し傾斜した第1ベベル面B<sub>1</sub>および第2ベベル面B<sub>2</sub>が形成されている。

このようなベベル面としては正ベベル面と負ベベル面の2種がある。すなわち、第2図において一方導電型の第1不純物層18とこの第1不純物層18より不純物濃度の高い他方導電型の第2不純物層19とが形成するPN接合面と、このPN接合面が露出するペレットの側面とのなす角のうち高濃度の第2不純物層19側にできる角 $\theta$ が90°を超える場合を正ベベル、90°未満の場合を負ベベルと呼ぶ。第2図の場合は正ベベルの場合を示しており、第1図の装置では、Nベース層12に対し、Pエミッタ層11およびPベース層13の方が不純物濃度が高く、負ベベル面が形成された装置を示している。

また、第1図にはアノード電極15に正、カソード電極16を負にバイアスした順方向電圧印加時の第2のPN接合面における空乏層20の

広がりを経線で示した。

このようなベベル構造を有するPN接合に逆バイアス電圧を印加すると、PN接合面に形成される空乏層はベベル面に沿って大きく曲がり、PN接合表面付近における電界強度の集中が緩和され、一般に正または負のベベル面の傾斜を大きくする積素子の耐圧が向上する。

#### 〔背景技術の問題点〕

ところで、第1図の装置においてベベル角 $\theta_1$ を小さくするにつれ、ベベル距離(ベベル面の形成された部分の距離)L<sub>1</sub>が大きくなるが、このベベル面の形成された部分は、サイリスタ構造となっていない。従って、サイリスタの通電時を考えると、ペレット面積からベベル構造部の面積およびゲート部分の面積を除いた面積が通電電流の流れる有効な通電面積となるが、この有効な通電面積は阻止電圧の向上を図るためベベル角 $\theta_1$ を小さくするにつれ小さくなり、ペレットの大きさの割に電流が流せなくなる欠点があった。

-4-

#### 〔発明の目的〕

この発明は、上記のような点に鑑みなされたもので、ペレット面積を大型化することなく素子の耐圧および通電容量の向上を両立できる半導体装置を提供しようとするものである。

#### 〔発明の概要〕

すなわちこの発明に係る半導体装置では、ペレット側面のPN接合表面に負ベベルが形成された装置において、ペレットへの所定電圧の印加時に上記PN接合部の高濃度層側に広がる空乏層の幅に相当する幅までは、この高濃度層のペレット側面に小さいベベル角でベベル面を形成し、上記空乏層を超える部分は上記ベベル角よりも垂直に近い乃至垂直な側面部を形成するようにしたものである。

#### 〔発明の実施例〕

以下図面を参照してこの発明の一実施例につき説明する。第3図において、半導体ウエハに例えば周知の不純物拡散技術を用いて、従来の装置と同様にPエミッタ層11、Nベース層

12、Pベース層13、Nエミッタ層14をそれぞれ形成し、このウエハの裏面にアノード電極15、ウエハの上面のNエミッタ層14上にカソード電極16、ウエハの上面Pベース層13の露出した部位にゲート電極17を形成する。この後、ウエハの周縁部を砥石で切削し、図に示すように第1のPN接合面PN<sub>1</sub>および第2のPN接合面PN<sub>2</sub>それぞれを中心第1ベベル面B<sub>1</sub>および第2ベベル面B<sub>2</sub>を形成する。

ここで、所定の順電圧印加時に第2のPN接合の高濃度不純物層側であるPベース層13のペレット10の中心部に広がる空乏層の幅をWとすると、高濃度不純物層側のPベース層13のペレット側面には、上記Wを延長した部位まで小さいベベル角 $\theta_1$ で負ベベルを形成し、上記Wを超える部分の側面にはペレットに対し略垂直な側面部A<sub>2</sub>を形成する。同様に第1のPN接合面PN<sub>1</sub>もNベース層12およびPエミッタ層11に小さいベベル角でベベル面を切り出すと共に、第1のPN接合面PN<sub>1</sub>から離れた側のPエ

-5-

ミッタ層11の側面には略垂直の側面部A1を切削により形成する。

第4図はベベル角 $\theta_1$ をパラメータとしてPN接合面の露出部C点から、側面部A2までの距離すなわち、高濃度層のPベース層13に形成されたベベル面の水平距離 $L_2$ と、サイリスタの阻止電圧との関係を調べた結果で、このグラフの●は、所定の順電圧印加時にPベース層13のペレット中央部付近に形成される空乏層の幅をWとすると、 $L_2 = \frac{W}{\tan \theta_1}$ である場合の阻止電圧を示したものである。

このグラフからPベース層13に形成されるベベル面の水平距離 $L_2$ が $\frac{W}{\tan \theta_1}$ 以上あれば阻止電圧は略飽和電圧はベベル角 $\theta_1$ の値が小さい程高くなり、ベベル角が $1.5^\circ$ 以下の場合には飽和電圧は大幅に変化しないことが確認された。又、第3図においてNベース層12にのびるベベル面の水平距離 $L_1$ は、PN接合面の露出部C点からペレット外径までの距離であるが、この長さには、サイリスタの阻止電圧にほとんど影響の

-7-

となった。すなわち、ゲート部の面積を含む有効面積は従来のもので $920 \text{ mm}^2$ なのに対し、本実施例のものでは $1160 \text{ mm}^2$ となっており、約25%の面積を増大させることができ、結果として通電容量を25%増大させることができる。特に高耐圧の素子ではPN接合面PN2からペレットの上面までの幅 $W_p$ を厚くする必要があるため、ペレットの有効面積の増大化およびそれに伴う通電電流の増大を効果的に実現できる。

尚、上記実施例ではサイリスタを例にとり順阻止電圧について述べたが、第1のPN接合面PN1に広がる逆阻止電圧についても全く同様のことが言え、素子もサイリスタに限らず、本発明は、負ベベルを形成すべき高耐圧素子ならば他のものにも適用できる。

以上のようにこの発明によれば、ペレット面積の大型化を招くことなく、阻止電圧の向上と通電電流の増大とを両立できる半導体装置を提供できる。

無いことも判明した。

#### [ 発明の効果 ]

上記の結果から、PN接合の高濃度層側のベベル面を、ペレット中央部に広がる高濃度層側の空乏層幅Wに相当する幅まで形成し、上記幅Wを超える高濃度層のペレット側面にペレットに対し略垂直乃至垂直に近い側面部を形成すれば、半導体ペレットの素子耐圧の向上を図ることができると共にこのベベル構造による半導体ペレットの無効面積を低減できる。

例えば、ベベル角 $\theta$ を $1.5^\circ$ 以下にしても阻止電圧は略一定となるため、ベベル部分の距離を大幅に伸ばさずに阻止電圧を向上させるためにはベベル角 $\theta$ が $1.5^\circ$ 前後に設定するのが効果的である。この $\theta = 1.5^\circ$ の条件で、第1図の従来の装置と第3図の本実施例の装置を比較すると、ペレットが直径40mmの円形で第2のPN接合面PN2からペレット10の上面までの幅 $W_p$ が $75 \mu\text{m}$ 、 $W = 20 \mu\text{m}$ のとき、従来の装置では $L_1 = 29 \text{ mm}$ 、本実施例の装置では $L_2 = 0.76 \text{ mm}$

-8-

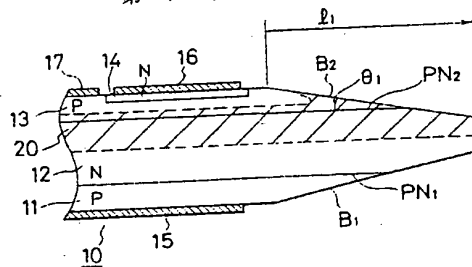
#### 4. 図面の簡単な説明

第1図は従来の半導体装置の一例を示す断面図、第2図はベベル構造を説明する断面図、第3図はこの発明の一実施例に係る半導体装置を、本図はこの発明による半導体装置のベベル面の水平距離と阻止電圧との関係を示すグラフを示す断面図である。

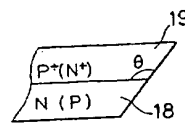
10…半導体ペレット、11…Pエミッタ層、12…Nベース層、13…Pベース層、14…Nエミッタ層、A1、A2…側面部、B1…第1ベベル面、B2…第2ベベル面、W…Pベース層のペレットの中心部に広がる空乏層幅、 $L_2$ …Pベース層のベベル面の水平距離。

出願人代理人 弁理士 鈴 江 武 彦

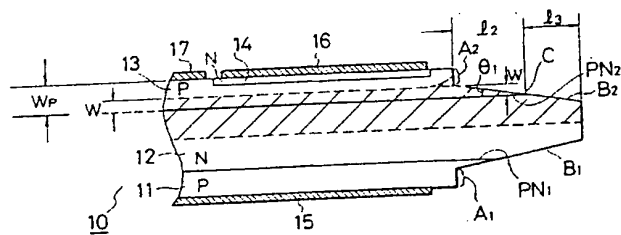
第 1 図



第 2 区



第 3 図



第 4 図

